

⑫ 公開特許公報(A) 平2-86171

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月27日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 2 1 V

審査請求 未請求 請求項の数 5 (全8頁)

⑭ 発明の名称 半導体素子およびその製造方法

⑮ 特 願 昭63-236412

⑯ 出 願 昭63(1988)9月22日

⑰ 発 明 者 飯 島 哲 郎 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体素子およびその製造方法

2. 特許請求の範囲

1. 半導体基板の主面に設けられたゲート酸化膜と、このゲート酸化膜の下面中央部に設けられたドレイン領域と、前記ドレイン領域の両側にチャネル形成領域を介してそれぞれ設けられたソース領域を有する縦型MOSFETを有する半導体素子であって、前記ゲート酸化膜は前記半導体基板主面に設けられた底が平坦な溝表面に設けられ、かつ前記チャネル形成領域は平坦な溝底から溝側面に亘って延在していることを特徴とする半導体素子。
2. 前記溝底に臨むドレイン領域とチャネル形成領域との界面部分の曲率は、前記半導体基板の主面からチャネル形成領域底に至る長さ以上となっていることを特徴とする特許請求の範囲第1項記載の半導体素子。
3. 前記溝底面とチャネル形成領域底との間隔は

3 μ m前後以下となっていることを特徴とする特許請求の範囲第1項記載の半導体素子。

4. 半導体基板の主面に設けられたゲート酸化膜と、このゲート酸化膜の下面中央部に設けられたドレイン領域と、前記ドレイン領域の両側にチャネル形成領域を介してそれぞれ設けられたソース領域を有する縦型MOSFETを有する半導体素子であって、前記ゲート酸化膜は前記半導体基板主面に設けられた底が平坦な溝表面に設けられるとともに、前記チャネル形成領域は平坦な溝底から溝側面に亘って延在し、かつ前記一對のチャネル形成領域間のドレイン領域表層部は不純物濃度が高くなっていることを特徴とする半導体素子。
5. 第1導電型の半導体基板の主面に設けられたゲート酸化膜と、このゲート酸化膜の下面中央部に設けられた第1導電型のドレイン領域と、前記ドレイン領域の両側に第2導電型のチャネル形成領域を介してそれぞれ設けられた第1導電型のソース領域を有する縦型MOSFETを

有する半導体素子の製造方法であって、前記半導体基板の主面に所定間隔離して一対の第2導電型領域を形成する工程と、前記半導体基板主面のそれぞれの第2導電型領域の表層部であって少なくとも対面する領域縁側に第1導電型領域を形成する工程と、前記半導体基板主面に底が平坦となる溝を形成しこの溝の両側に第1導電型のソース領域をそしてこの溝の平坦な底から溝側面に亘って延在する第2導電型のチャネル形成領域を形成する工程と、前記溝表面にゲート酸化膜を形成する工程とを有することを特徴とする半導体素子の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体素子、特に縦型パワーMOSFET(メタル・オキシド・セミコンダクタ型電界効果トランジスタ)単体または縦型パワーMOSFETを組み込んだMOSIC等の半導体素子およびその製造方法に関する。

(従来の技術)

この縦型パワーMOSFETは、たとえば、 n^+ 形のシリコンからなる半導体基板1の主面に設けられた n^- 形層からなるエピタキシャル層2の表層部に、二重拡散によってp形のベース領域3およびこのベース領域3の表層部に設けられる n^+ 形のソース領域4を形成する。この二重拡散の拡散長の差がチャネル5となる。また、前記半導体基板1およびエピタキシャル層2はドレイン領域6となるとともに、前記二重拡散領域は近接して設けられる結果、隣合うベース領域3間に挟まれた領域に二点鎖線で取り囲まれるようなJFET部7が形成される。また、このJFET部7、チャネル5に亘ってゲート酸化膜8が設けられるとともに、このゲート酸化膜8上にはゲート電極9が形成される。電流は、ゲート(G)に所定の電圧が印加された状態下で下部ドレイン(D)から上方に向かい、チャネル5を通りソース(S)に抜ける。

ところで、パワーMOSFETの特性を左右するものの一つとしてオン抵抗があり、前記文献に

縦型パワーMOSFETは、周波数特性が優れ、スイッチングスピードが速く、かつ低電力で駆動できる等多数の長を有することから、近年多くの産業分野で使用されている。縦型パワーMOSFETについては、たとえば、日本エス・エス・ティ株式会社発行「ソリッドステートテクノロジー(solid state technology)日本版」1986年1月号、昭和60年12月15日発行、P44~P50に記載されている。この文献には、縦型パワーMOSFETとして、V溝MOSFET、U溝MOSFET、二重拡散MOS(VDMOS)FETが紹介されている。

一方、米国特許第4,376,286号には、縦型MOSFETのドレイン表面に高濃度 n^+ 形層をソースより深く設け、これによってオン抵抗(R_{on})を低くする例が開示されている。

(発明が解決しようとする課題)

従来の典型的な縦型パワーMOSFETは、第9図の模式図に示されるような構造となっている。

も記載されているように、オン抵抗低減のために各種の構造が開発されている。オン抵抗 R_{on} は、チャネル部の抵抗 R_c 、JFET部の抵抗 R_j 、エピタキシャル層を含む基板の抵抗 R_s の和となる。このうち、250V~500V耐圧の素子では、前記抵抗(拡がり抵抗) R_j の占める割合が、たとえば、40%程度と大きいので、 R_j を低減することがオン抵抗 R_{on} の低減に繋がる。

前記一対のベース領域3に挟まれるJFET部7の抵抗成分 R_j を低減する構造としては、第10図に示されるように、ベース接合を浅くしてJFET部7の断面積を小さくする構造があるが、この構造は拡散深さが浅いため、ベース領域周縁曲面部分10の接合の曲率が小さくなり、耐圧が低下してしまう。

また、前記米国特許第4,376,286号に記載されているように、ドレイン表面、すなわち、前記JFET部を高濃度にし、JFET部の抵抗を小さくしてオン抵抗 R_{on} を小さくする構造も開発されている。

また、第11図に示されるように、前記JFET部に溝11を設け、JFET部7を覆くすることによって R_1 を低減する構造、いわゆるV溝MOSFET、U溝MOSFETも開発されている。しかし、この構造では、溝11の底部のエッジ12で電界集中を起こし、耐圧(ドレイン耐圧)が損なわれるおそれがある。

本発明の目的はオン抵抗を小さくできる縦型パワーMOSFETを提供することにある。

本発明の他の目的はドレイン耐圧の高い縦型パワーMOSFETを提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明の縦型パワーMOSFETは、従来のU溝MOSFETと略同様な構造となつて

MOSFETのオン抵抗が小さくなる。また、前記ドレイン領域とチャネル形成領域との界面、すなわち、ベース領域周縁局部分の曲率は溝形成前の拡散で形成される結果、基板主面とチャネル形成領域底との間隔に対応する長さ以上の長さを半径とする結果、緩やかな曲率となり、ドレイン耐圧も高くできる。

(実施例)

以下図面を参照して本発明の一実施例について説明する。

第1図は本発明の一実施例による縦型パワーMOSFETの一部を示す斜視図、第2図～第6図は同じく縦型パワーMOSFETの製造における各段階でのワークであるウエハを示す図であつて、第2図はチャネル形成領域形成のためのp形領域およびp⁺形領域が形成されたウエハの断面図、第3図はソース領域形成のためのn⁺形領域が形成されたウエハの断面図、第4図は溝が形成されたウエハの断面図、第5図はゲート酸化膜およびゲート電極が形成されたウエハの断面図、第6図

いて、溝底は平坦な構造となるとともに、この溝の側面にソース領域を露出させ、かつ前記ソース領域とドレイン領域に至るチャネル領域は前記溝側面から溝底の平坦部分にまで達する領域に形成されている。また、前記ドレイン領域とチャネル形成領域(ベース領域)との界面の周縁部分の曲率は溝形成前の拡散で形成される結果、基板主面とチャネル形成領域底との間隔に対応する長さ以上の長さを半径とするような緩やかな曲率となっている。

(作用)

上記した手段によれば、本発明の縦型パワーMOSFETは、従来のU溝MOSFETと略同様な構造となつていて、溝底は平坦な構造となるとともに、この溝の側面にソース領域を露出させ、かつ前記ソース領域とドレイン領域に至るチャネル領域は前記溝側面から溝底の平坦部分にまで達する領域に形成されていることから、一對のチャネル形成領域(ベース領域)間のJFET部の断面積は小さくなり、抵抗 R_1 が低減され、縦型M

はポリシリコン膜およびソース電極が形成されたウエハの断面図である。

この実施例の縦型パワーMOSFETにおけるその要部、すなわち、セル部分は、第1図に示されるような構造となっている。同図において、一点鎖線間Wが断面的な単一のセル15部分(セル長さ)であり、一点鎖線枠で囲まれる領域が平面的に見た単一のセル15部分である。このようなセル15は、単一の縦型パワーMOSFETにあって、縦横に規則正しく多数配設されている。

セル15は、不純物濃度が 10^{11} cm^{-3} 程度となる厚さ $100 \mu\text{m}$ 前後のn⁺形(第1導電形)のシリコンからなる半導体基板1の主面(上面)に設けられる。すなわち、半導体基板1の主面には不純物濃度が 10^{13} cm^{-3} 程度となる厚さ $10 \mu\text{m}$ 前後のn⁻形のエピタキシャル層2が設けられているとともに、このエピタキシャル層2の裏層部には不純物濃度が 10^{17} cm^{-3} 程度となる厚さ $5 \sim 6 \mu\text{m}$ のp形のチャネル形成領域(ベース領域)16が設けられている。このチャネル形成

領域16は平面的に見て略矩形状となり、前記半導体基板1の主面に縦横に規則正しく設けられている。また、これらチャネル形成領域16間の半導体基板1の主面には、深さ $3\mu\text{m}\sim 4\mu\text{m}$ の溝11が設けられている。したがって、この溝11は半導体基板1の主面に格子状に設けられることになり、溝11に取り囲まれた領域がセル15になる。

一方、前記チャネル形成領域16の表層部中央には、不純物濃度が 10^{17}cm^{-3} 程度となる p^+ 形コンタクト領域17が設けられている。また、この半導体基板1の主面、すなわち、前記 p^+ 形コンタクト領域17の周縁部分から前記溝11の側面に至る表層部には、不純物濃度が 10^{18}cm^{-3} 程度となるソース領域4が設けられている。このソース領域4は、 $0.5\mu\text{m}$ 程度の厚さとなっている。また、前記半導体基板1およびエピタキシャル層2はドレイン領域6を構成している。

他方前記溝11の平坦な溝底には、前記チャネル形成領域16とドレイン領域6との接合(界

面)が違っている。溝11の底のエッジ12をドレイン領域6内に露出させることなく、チャネル形成領域16内に位置させることによって、ゲートとドレイン間で電界集中が起きることもなくなり、ブレークダウンの心配もなくなる。また、隣合うチャネル形成領域16の間隔 a は $5\mu\text{m}\sim 10\mu\text{m}$ となっている。また、溝11の底に對面する隣合うチャネル形成領域16間のJFET部7の断面積を小さくするためにも、前記溝11の底面とチャネル形成領域16との間隔 b は $3\mu\text{m}$ 以下になっている。また、前記ソース領域4から溝側面および溝底に至るチャネル5の長さも $3\mu\text{m}\sim 4\mu\text{m}$ となっている。また、前記溝11の平坦な底面に臨むチャネル形成領域16のベース領域周縁曲面部分10の曲率半径は、前記チャネル形成領域16を半導体基板1の主面に拡散した際形成されることによって、少なくともチャネル形成領域16の深さに対応する長さ以上の長さが曲率半径となり、緩やかな曲面となっている。これにより、ドレイン耐圧は 500V 程度と高くなる。

また、前記溝11の表面を被うようにゲート酸化膜8が設けられている。このゲート酸化膜8は、その厚さが $500\text{\AA}\sim 1000\text{\AA}$ となっている。また、前記ゲート酸化膜8上にはポリシリコンからなるゲート電極9が設けられている。また、前記ゲート電極9の上面および側面は絶縁膜18で被われている。この絶縁膜18は、たとえば、厚さ 8000\AA のPSG膜(リンシリケートガラス膜)によって形成され、前記ゲート電極9を被うとともに、溝11の縁からわずかに張り出してソース領域4の一部をも被うようになっている。また、前記絶縁膜18およびソース領域4ならびに露出するチャネル形成領域16の表面には、厚さが数 μm となるアルミニウム(Al)からなるソース電極19が設けられている。さらに、前記半導体基板1の裏面(下面)には、厚さ数 μm のドレイン電極20が設けられている。

つぎに、このような縦型パワーMOSFETの製造方法について説明する。

縦型パワーMOSFETの製造にあつては、第

2図に示されるように、 n^+ 形(第1導電型)のシリコンからなる半導体基板1の主面に n^- 形のエピタキシャル層2を有するウエハ(半導体薄片)21が用意される。この半導体基板1はその不純物濃度が 10^{21}cm^{-3} となっている。また、前記エピタキシャル層2はその厚さが $10\mu\text{m}$ 程度となっているとともに、不純物濃度は 10^{18}cm^{-3} 程度となっている。このウエハ21はその主面に部分的に絶縁膜22が設けられ、かつこの絶縁膜22をマスクとしてボロン(B $^+$)が二重に拡散される。この二重拡散によって深さ $5\mu\text{m}\sim 6\mu\text{m}$ の最終的にチャネル形成領域16となる p 形領域(第2導電型領域)23と、この第2導電型領域23の表層部中央に形成される深さ $2\mu\text{m}\sim 3\mu\text{m}$ 程度の p^+ 形コンタクト領域17が設けられる。前記第2導電型領域23の不純物濃度は 10^{17}cm^{-3} となり、閾値を決定する濃度となっている。また、前記 p^+ 形コンタクト領域17は 10^{18}cm^{-3} と不純物濃度が高くなっている。

つぎに、前記絶縁膜22は除去される。その後、

第3図に示されるように、再び前記ウエハ21の主面には、部分的に絶縁膜24が設けられる。すなわち、この絶縁膜24は前記 p^+ 形コンタクト領域17の中央に設けられる。そして、この絶縁膜24をマスクとして燐(p^+)が拡散されて、第3図に示されるように、隣合うセル15の p^+ 形コンタクト領域17間に不純物濃度が 10^{20} cm^{-3} となる n^+ 形領域(第1導電型領域)25が形成される。この第1導電型領域25はその中央部分が除去されて最終的にはソース領域4となる。この第1導電型領域25は $0.5 \mu\text{m}$ 程度の深さに設けられる。

つぎに、前記絶縁膜24は除去される。その後、第4図に示されるように、前記ウエハ21の主面には、絶縁膜26が部分的に設けられる。そして、この絶縁膜26をマスクとして異方性エッチングが施される。このエッチングによって、隣合う第2導電型領域23の同縁部分および前記第1導電型領域25の中央部分が除去されて、底が平坦となる溝11が形成される。この溝11の形成によ

ることもなくなり、ブレークダウンの心配もなくなる。

つぎに、前記絶縁膜26は除去される。その後、第5図に示されるように、前記溝11の表面には、 $500 \text{ \AA} \sim 1000 \text{ \AA}$ の厚さのゲート酸化膜8が形成されるとともに、このゲート酸化膜8上には厚さ 8000 \AA のポリシリコンからなるゲート電極9が常用のホトリソグラフィによって形成される。

つぎに、前記ウエハ21の主面には、第6図に示されるように、前記ゲート酸化膜8およびゲート電極9を被うように、常用のフォトリソグラフィによって厚さ 8000 \AA のPSG膜からなる絶縁膜18が形成される。これによって前記絶縁膜18から外れたウエハ21主面領域には、ソース領域4および p^+ 形コンタクト領域17が露出する。つぎに、前記ウエハ21の主面全域に数 μm の厚さにアルミニウム(Al)を蒸着してソース電極19を形成する。その後、前記半導体基板1を所望の厚さ除去し、かつウエハ21裏面にドレ

って、前記第1導電型領域25は二分されてそれぞれ溝側面に一端を露出するソース領域4となるとともに、前記第2導電型領域23はチャネル形成領域(ベース領域)16となる。前記溝11は $3 \mu\text{m} \sim 4 \mu\text{m}$ の深さに形成され、この溝11の溝底面と前記チャネル形成領域16の底面との間隔 b は、前記溝11の溝底に対面しかつ隣合うチャネル形成領域16間に形成されるJFET部7の断面積を小さくするように $3 \mu\text{m}$ 以下と小さくなっている。また、結晶面(111)が現れる溝11の溝側面に沿う前記ソース領域4からドレイン領域6に至るチャネル5の長さは $3 \mu\text{m} \sim 4 \mu\text{m}$ 程度となる。この結果、前記JFET部7の断面積が小さくなることによって、抵抗 R_s が小さくなる。また、前記溝11の平坦な溝底のエッジ12は、半導体基板1およびエピタキシャル層2によって構成されるドレイン領域6内に露出させることなく、チャネル形成領域16内に位置するように形成されている。したがって、この構造によれば、ゲートとドレイン間で電界集中が起き

イン電極20を形成する。このウエハ21は所望の寸法で縦横に分断され、たとえば、第1図にその一部を示す縦型パワーMOSFETを製造する。

このような構造にあっては、コレクタとなる前記 n 形の半導体基板1およびエピタキシャル層2と、ベースとなる p 形のチャネル形成領域16および p^+ 形コンタクト領域17と、エミッタとなる n^+ 形のソース領域4とによって寄生 npn 型バイポーラトランジスタが形成される。そして前記寄生 npn 型バイポーラトランジスタは、特に、前記ベースの寄生抵抗が大きいとMOSFETの動作を阻害する。すなわち、前記 p 形のチャネル形成領域16の濃度が低いと抵抗が大きくなり、ベース領域に、リーク電流が発生した場合、電圧降下によってベース・エミッタ間電圧 V_{be} が大きくなり、寄生 npn 型バイポーラトランジスタが動作してしまい、 n^+ 形ソース領域4(エミッタ)と、 n^- 層のエピタキシャル層2(コレクタ)との間に電流パスができてしまう。この結果、MOSFETでは、正常なトランジスタ動作が不

可能になる。そこで、この実施例では、ベースにおいて、不純物濃度が高くなる p^+ 形コンタクト領域17を設けることによって、ベースの寄生抵抗を下げてベース・エミッタ間電圧 V_{BE} が大となるのを防止する構造としてある。したがって、この実施例の場合には、前記 p^+ 形コンタクト領域17の不純物濃度は 10^{19} cm^{-3} と高くなっている。これに対して、前記チャネル形成領域16は、閾値を決定する層となることから、不純物濃度は 10^{17} cm^{-3} と前記 p^+ 形コンタクト領域17と比較して低くなっている。

このような縦型パワーMOSFETにあっては、つぎのような効果を奏することになる。

(1) 本発明の縦型パワーMOSFETは、チャネル形成領域(ベース領域)の周縁の曲面部分の曲率は、半導体基板の主面に深い拡散を施す結果形成される結果、前記拡散深さに対応する以上の曲率半径となるため、緩やかな曲面となり、ドレイン耐圧が高くなるという効果が得られる。

(2) 本発明の縦型パワーMOSFETは、チャ

効果が得られる。

(6) 本発明の縦型パワーMOSFETは、ソース領域を溝斜面に形成されることから、寄生バイポーラトランジスタのベース抵抗を下がり、破壊耐圧が向上するという効果が得られる。

(7) 本発明の縦型パワーMOSFETは、チャネル形成領域(ベース領域)に p^+ 形コンタクト領域を設けた構造となっていることから、ベース領域の濃度を高くできるため、ベースの寄生抵抗の増大が抑止され、寄生 $n-p-n$ 型バイポーラトランジスタが動作しなくなり、縦型パワーMOSFETの動作が安定し、信頼性が高くなるという効果が得られる。

(8) 上記(1)～(7)により、本発明によれば、オン抵抗が小さくかつ耐圧が高い小型化可能な縦型パワーMOSFETを提供することができるという相乗効果が得られる。

以上本発明者によってなされた発明を実施例に基つき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しな

セル形成領域(ベース領域)を半導体基板の主面に深く拡散を行うことによって形成しているが、その後溝を形成しているため、JFET部は浅くなり、JFET部の拡がり抵抗 R_s が小さくなるという効果が得られる。

(3) 上記(2)により、本発明によれば、縦型パワーMOSFETのオン抵抗を低減できるという効果が得られる。オン抵抗の低減率はドレイン耐圧500Vクラスで15～20%にも及ぶ。

(4) 上記(3)により、本発明の縦型パワーMOSFETは、同一のチップサイズで比較すると高性能化ができ、また、性能を一定にするとチップシュリンク化が可能となり原価低減が図れるという効果が得られる。

(5) 本発明の縦型パワーMOSFETは溝を有するが、この溝の溝底のエッジ部分はドレイン領域には露出せず、チャネル形成領域(ベース領域)に位置するように形成されていることから、ゲートとドレイン間で電界集中が起きることなくなり、ブレイクダウンの心配もなくなるという

い範囲で種々変更可能であることはいうまでもない。たとえば、第7図は前記チャネル形成領域16およびこのチャネル形成領域16間のJFET部7の不純物濃度を高くした例である。この構造によれば、JFET部7の表層部を不純物濃度が高い高不純物濃度領域27としてあることから、拡がり抵抗 R_s がさらに小さくなり、さらにオン抵抗を小さくできる。すなわち、この例では、オン抵抗のさらなる低減とともに、ドレイン耐圧の向上も達成できる。

第8図は前記チャネル形成領域16およびこのチャネル形成領域16間のJFET部7を前記チャネル形成領域16のエピタキシャル成長時に製造した例である。すなわち、前記JFET部7はチャネル形成領域16をエピタキシャル成長させる前に埋め込み層を設けておき、エピタキシャル成長時にこの埋め込み層を拡散させて埋め込み拡散層28を形成することによって形成するものである。なお、この構造でもJFET部7の不純物濃度を高くすることによって抵抗 R_s をさらに小

さくすることができる。

また、前記溝を形成する方法としては、LOCOS法を利用しても良い。すなわち、LOCOS法で形成した絶縁膜を除去することによって、側面が緩やかな斜面となる溝を形成することができる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である縦型パワーMOSFETの製造技術に適用した場合について説明したが、それに限定されるものではなく、このような縦型パワーMOSFETを組み込んだパワーMOSICあるいはIGBTに適用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明の縦型パワーMOSFETは、従来のU溝MOSFETと略同様な構造となっていて、溝底は平坦な構造となるとともに、この溝の側面に

ソース領域を露出させ、かつ前記ソース領域とドレイン領域に至るチャネル領域は前記溝側面から溝底の平坦部分にまで達する領域に形成されていることから、一对のチャネル形成領域(ベース領域)間のJFET部の断面積は小さくなり、拡がり抵抗 R_s が低減され、縦型MOSFETのオン抵抗が小さくなる。また、前記ドレイン領域とチャネル形成領域との界面の周縁部分の曲率は溝形成前の拡散で形成される結果、基板主面とチャネル形成領域底との間隔を半径とするような緩やかな曲率となっていることから、ドレイン耐圧も高くできる。したがって、本発明によれば、耐圧が高くかつオン抵抗の小さい縦型パワーMOSFETを提供することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例による縦型パワーMOSFETの一部を示す斜視図、

第2図は本発明の縦型パワーMOSFETの製造においてワークであるウエハにp形領域およびp⁺形領域を形成した状態を示す断面図、

第3図は同じくソース領域形成のためのn⁺形領域が形成されたウエハの断面図、

第4図は同じく溝が形成されたウエハの断面図、

第5図は同じくゲート酸化膜およびゲート電極が形成されたウエハの断面図、

第6図は同じくポリシリコン膜およびソース電極が形成されたウエハの断面図、

第7図は本発明の他の実施例による縦型パワーMOSFETの要部を示す断面図、

第8図は本発明の他の実施例による縦型パワーMOSFETの要部を示す断面図、

第9図は従来の縦型パワーMOSFETの要部を示す模式図、

第10図は同じく従来の縦型パワーMOSFETの要部を示す模式図、

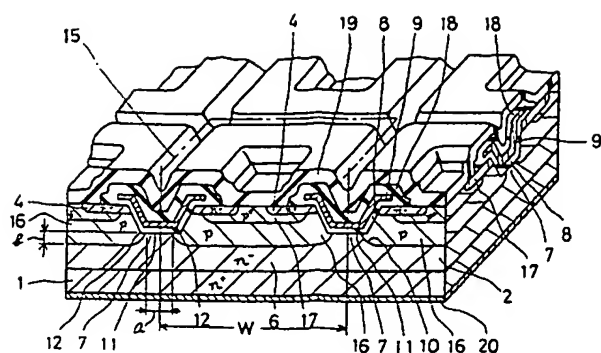
第11図は同じく従来の縦型パワーMOSFETの要部を示す模式図である。

1・・・半導体基板、2・・・エピタキシャル層、3・・・ベース領域、4・・・ソース領域、5・・・チャネル、6・・・ドレイン領域、7・・・JFET部、8・・・ゲート酸化膜、9・・・ゲート電極、10・・・ベース領域周縁曲面部分、11・・・溝、12・・・エッジ、15・・・セル、16・・・チャネル形成領域(ベース領域)、17・・・p⁺形コンタクト領域、18・・・絶縁膜、19・・・ソース電極、20・・・ドレイン電極、21・・・ウエハ、22・・・絶縁膜、23・・・第2導電型領域、24・・・絶縁膜、25・・・第1導電型領域、26・・・絶縁膜、27・・・高不純物濃度領域、28・・・埋め込み拡散層。

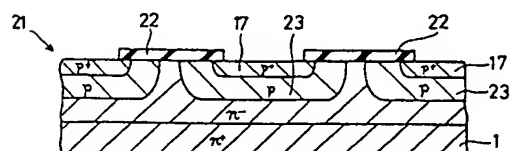
代理人 弁理士 小川勝男



第 1 図

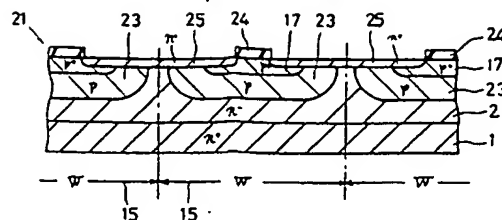


第 2 図

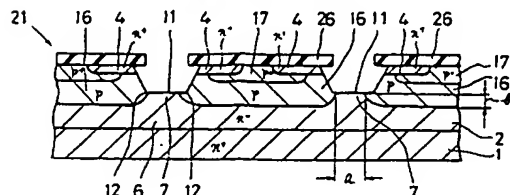


- | | |
|------------|-----------------------|
| 1 - 半導体基板 | 10 - ベース領域同縁曲面部分 |
| 4 - ソース領域 | 11 - 溝 |
| 5 - チャネル | 12 - エッジ |
| 6 - ドレイン領域 | 16 - チャネル形成領域 (ベース領域) |
| 7 - JFET 部 | |
| 8 - ゲート酸化膜 | |
| 9 - ゲート電極 | |

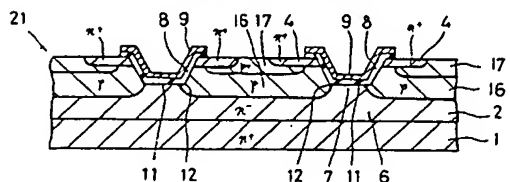
第 3 図



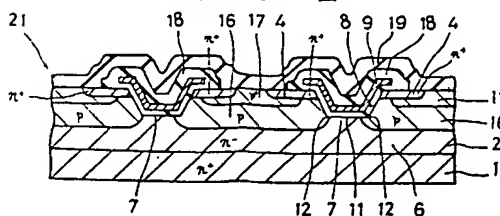
第 4 図



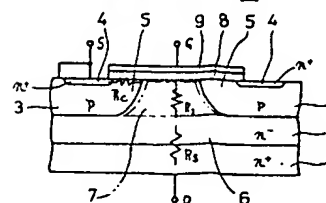
第 5 図



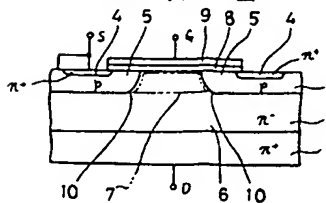
第 6 図



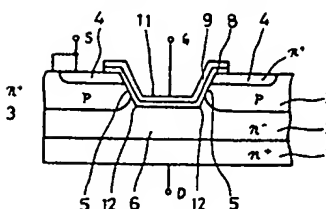
第 9 図



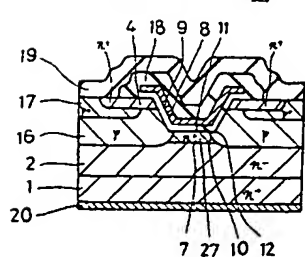
第 10 図



第 11 図



第 7 図



第 8 図

